

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-063502

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

G06F 9/38

G06F 9/30

G06F 12/08

(21)Application number : 08-216245

(71)Applicant : KAGAKU GIJUTSU SHINKO
JIGYODAN

(22)Date of filing :

16.08.1996

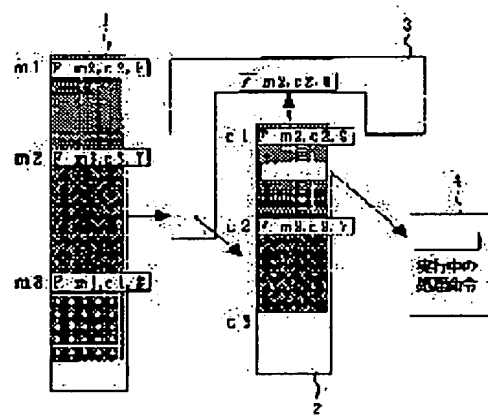
(72)Inventor : SOWA MASAHIRO

(54) INSTRUCTION CACHE MEMORY SYSTEM FETCHING INSTRUCTION ACCORDING TO PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To smoothly perform a pipeline process and to improve computer performance by composing a program of an instruction for instruction transfer from an M-level memory to a C-level memory and a process instructions when instructions are fetched according to the program.

SOLUTION: A computer consists of the M-level memory 1 in a layer corresponding to a main memory, the C-level memory 2 in a layer corresponding to a cache memory, an instruction fetch unit 3, and a processor 4. The instruction transfer instruction 'F m2, c2, 9c' is an instruction for transferring 9 instructions from an (m2)th address of the M-level memory 1 to (c2)th and succeeding addresses of the C-level memory 2, and instructions in an (m3)th address to be executed and following addresses are transferred to the C-level memory 2 by an instruction 'F m3, c3, 7' transferred by the instruction. The process instruction fetched by the C-level memory 2 is taken out by the processor 3 and executed.



LEGAL STATUS

[Date of request for examination]

20.06.2003

[Date of sending the examiner's decision of rejection] 08.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-63502

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所	
G 0 6 F	9/38	3 1 0	G 0 6 F	9/38	3 1 0 A
	9/30	3 5 0		9/30	3 5 0 B
	12/08	7623-5B		12/08	B

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平8-216245

(22)出願日 平成8年(1996)8月16日

(71)出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72)発明者 曾和 将容

神奈川県川崎市多摩区菅仙谷1-12-61

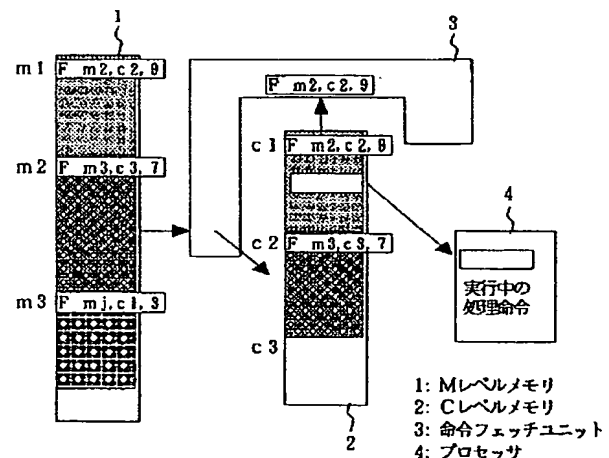
(74)代理人 弁理士 清水 守

(54)【発明の名称】 プログラムによって命令をフェッチする命令キャッシュメモリ方式

(57)【要約】

【課題】 パイプライン処理を円滑にし、コンピュータの性能の向上を図り得るプログラムによって命令をフェッチする命令キャッシュメモリ方式を提供する。

【解決手段】 コンピュータは、Mレベルメモリ1、Cレベルメモリ2、命令フェッチユニット3、プロセッサ4から構成されており、プログラムは前記Mレベルメモリ1から前記Cレベルメモリ2への命令転送インストラクションと処理命令からなる。



【特許請求の範囲】

【請求項1】 キャッシュメモリ階層に相当するCレベルメモリとメインメモリ階層に相当するMレベルメモリを有するコンピュータにおいて、プログラムが前記Mレベルメモリから前記Cレベルメモリへの命令転送インストラクションと処理命令からなることを特徴とするプログラムによって命令をフェッチする命令キャッシュメモリ方式。

【請求項2】 請求項1記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、前記Mレベルメモリから前記Cレベルメモリへの命令の転送が、前記命令転送インストラクションを実行することによってなされることを特徴とするプログラムによって命令をフェッチする命令キャッシュメモリ方式。

【請求項3】 請求項1記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、前記命令転送インストラクションが、処理プログラム中に埋め込まれることを特徴とするプログラムによって命令をフェッチする命令キャッシュメモリ方式。

【請求項4】 請求項1記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、命令転送を行う命令フェッチユニットを設け、該命令フェッチユニットが処理命令を実行するプロセッサとお互いに同期などの通信を行いながらプログラムを実行することを特徴とするプログラムによって命令をフェッチする命令キャッシュメモリ方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラムによって命令をフェッチする命令キャッシュメモリ方式に関するものである。

【0002】

【従来の技術】一般に高速で大容量のメモリを得ることは難しい。そのため、高速で小容量のメモリと、低速で大容量のメモリを階層的に使い、低速大容量メモリの内容の一部を高速小容量メモリに転送しておき、それを使うことによって擬似的に高速大容量のメモリを構成する方法が使われている。

【0003】この方式はキャッシュメモリ方式と呼ばれ、低速大容量メモリはメインメモリ、高速小容量のメモリはキャッシュメモリと呼ばれている。キャッシュメモリはデータとプログラムに対して用意される。このうち、プログラムに関するものでは、メインメモリとキャッシュメモリとプログラムは一定の同じ大きさに分割されており、これらの一定の大きさに分割されたものは、それぞれメモリブロック、キャッシュブロック、ページと呼ばれ、それぞれの大きさは、メモリブロック長、キャッシュブロック長ページ容量と呼ばれる。

【0004】プログラムの一つのページがメインメモリの一つのブロックに格納され、これが転送の基本単位と

なる。プログラムが実行されるときには、メインメモリのブロックに格納されているページが、キャッシュメモリのブロックに転送されて、そこから命令が一つずつプロセッサにより取り出されて実行される。キャッシュメモリに実行すべき命令がないとき（すなわち、キャッシュミスの時）は、プログラムの実行を一時中断して、新たに必要になったページをメインメモリから、キャッシュメモリにハードウェアの力を借りて転送してから、その命令をフェッチし実行する。

【0005】

【発明が解決しようとする課題】しかしながら、上記した従来のキャッシュメモリ方式では、要求駆動（ないことがわかってから取りに行く）方式でページの転送を始めるので、それらがキャッシュメモリに転送されるまで待たなくてはならず、この待ちがパイプライン処理を乱し、コンピュータの性能を著しく悪くしていた。

【0006】本発明は、上記問題点を除去し、パイプライン処理を円滑にし、コンピュータの性能の向上を図り得るプログラムによって命令をフェッチする命令キャッシュメモリ方式を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、

（1）キャッシュメモリ階層に相当するCレベルメモリとメインメモリ階層に相当するMレベルメモリを有するコンピュータにおいて、プログラムが前記Mレベルメモリから前記Cレベルメモリへの命令転送インストラクションと処理命令からなるようにしたものである。

【0008】（2）上記（1）記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、前記Mレベルメモリから前記Cレベルメモリへの命令の転送が、前記命令転送インストラクションを実行することによってなされるようにしたものである。（3）上記（1）記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、前記命令転送インストラクションが、処理プログラム中に埋め込まれるようにしたものである。

【0009】（4）上記（1）記載のプログラムによって命令をフェッチする命令キャッシュメモリ方式において、命令転送を行う命令フェッチユニットを設け、この命令フェッチユニットが処理命令を実行するプロセッサとお互いに同期をとりながらプログラムを実行するようにしたものである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。本発明は命令に関するキャッシュメモリ方式に関するものであり、メインメモリから命令キャッシュメモリへの命令群の転送を、プログラムが書いた転送専用のプログラムを実行することによって行う。

【0011】プログラムの振舞は、プログラマが一番よく知っているので、この方法では必要な命令群が可能な限りキャッシュメモリにあるように制御することができ、キャッシュミスが減る。ここでは、キャッシュメモリがプログラマに見えるので、cache（隠れる）という用語が使えないので、従来のキャッシュメモリに相当する階層のメモリのことを“Cレベルメモリ”と呼び、また、メインメモリに相当する階層のメモリのことを“Mレベルメモリ”と呼ぶ。

【0012】ここで混乱を避けるために、Cレベルメモリ・Mレベルメモリ間の命令転送専用の命令を“命令転送インストラクション”と呼び、従来のコンピュータの命令に相当する命令のことを“処理命令”と呼ぶ。プログラムは処理命令の中に命令転送インストラクションが挿入されている形式を取る。図1は本発明の実施例を示すプログラム制御階層命令メモリの構成図である。

【0013】図1に示すように、この実施例では、コンピュータは、Mレベルメモリ1、Cレベルメモリ2、命令フェッチユニット3、プロセッサ4から構成されている。ここでは、m1番地からm2番地未満の命令が、すでにCレベルメモリ2のc1番地以降に転送されており、転送された命令群のうち、命令転送インストラクション“F m2, c2, 9”が、命令フェッチユニット3により実行されており、また、転送された処理命令がプロセッサ4によって、Cレベルメモリ2から取り出されて実行されている様子を示している。

【0014】“F m2, c2, 9”は、Mレベルメモリ1のm2番地から9命令をCレベルメモリ2のc2番地以降に転送するための命令であり、この命令によって転送された“F m3, c3, 7”命令により次に実行されるm3番地以降の命令がCレベルメモリ2に転送される。Cレベルメモリ2にフェッチされた処理命令は、プロセッサ4により取り出されて実行される。処理命令は例えば、“ADD r1, c34, r2”のような形をしており、これはレジスタr1の内容とCレベルメモリc34番地の内容を加算し、その結果をr2に格納することを表す。またこの算術演算命令の他に、レジスタ

・Cレベルメモリ2間のデータの転送を行う転送命令、処理命令の実行制御を行う条件分岐命令などがある。

【0015】命令転送インストラクションには、条件によってフェッチ先を変えるインストラクション、すなわち、フェッチ分岐インストラクションがある。フェッチ分岐インストラクションは“CF m6, 7, c3, m9, 14, c3”のような命令であり、処理命令の実行結果（正とか負など）により分岐条件が決定されたとき、条件が成立しなければ、m6番地からの7命令をCレベルメモリ2のc3番地以降に転送し、条件が成立したときにはm9番地からの14命令をc3番地以降に転送する命令である。フェッチ分岐インストラクションでは、スピードを上げるために分岐、不分岐を予測し、分岐条件が設定される前に命令を前もってフェッチし、分岐条件が決定されたときフェッチ結果を修正する機能を持たせることもできる。

【0016】命令フェッチユニットはプロセッサと同期などの通信を行いながら命令を実行する。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて並列コンピュータなどに適用するなど種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0017】

【発明の効果】以上、詳細に説明したように、本発明によれば、パイプライン処理を円滑にし、コンピュータの性能の向上を図り得るプログラムによって命令をフェッチする命令キャッシュメモリ方式を提供することができる。

【図面の簡単な説明】

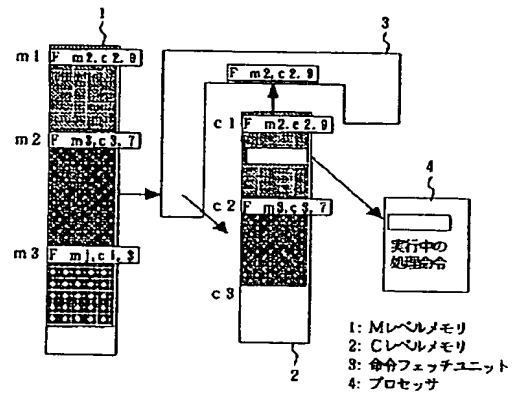
【図1】本発明の実施例を示すプログラム制御階層命令メモリの構成図である。

【符号の説明】

- 1 Mレベルメモリ
- 2 Cレベルメモリ
- 3 命令フェッチユニット
- 4 プロセッサ

5/2

【図1】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.